

# EN320 : JTAG and Boundary Scan

## Shared by UV(s) :

SEE9-B Test and control tools

page 0

## ECTS credits :

1.00

## Evaluation :

S1: CC x1

## Number of hours :

Combined lecture and tutorial classes : 16.00

## Teacher(s) :

DALONGEVILLE Luc

## Title :

JTAG and Boundary Scan

## Plan :

- \*La nécessité du test électrique.
  - Test électrique dans les années 80 : ICT versus Fonctionnel.
- \* L'émergence du boundary scan :
  - Historique(EJTAG puis JTAG)
  - La version 1149.1 normalisée ex
  - Modification 2001.
- \* L'architecture boundary scan (norme IEEE 1149.1):
  - Le principe : tap (test access port) , instruction register et data register
  - Les différentes cellules (BC1, BC2, BC3, BC4, etc.).
  - La machine à état.
  - Les registres (instruction et data).
  - Les instructions(Exttest, Intest, Bypass, etc..).
- \* Le langage de description bsd (Boundary scan Description Language) :
  - Rôle du bsd.
  - La structure du langage.
  - Syntaxe et normalisation.
  - Exemple sur un composant (Xilinx, Altera ou Power PC).
- \* Utilisation d'un composant boundary scan:
  - Règles de design (chainage composants, signaux sensibles).
  - La version 1149.1 normalisée ex
  - Les « compliant pattern » (très important).
  - Les cas particuliers (« faux » composants jtag).
  - Les tests en « cluster » (composants non boundary scan).
- \* Les outils de test boundary scan:
  - Les fichiers d'entrées (netlist, bsd).
  - Description des composants non boundary scan
  - Travaux pratiques avec le logiciel « TH-JTAG » (Thalès).
  - Test ram
  - Test eeprom
  - Test afficheur
  - Ect...