

EN320 : JTAG et Boundary Scan

Partagé par l'UE (les UEs) :

SEE9-B Tests et Outils de Contrôle

p. 0

Crédits ECTS :

1.00

Évaluation :

S1: CC x1

Volumes horaires :

Cours Intégré : 16.00

Enseignant(s) :

DALONGEVILLE Luc

Titre :

JTAG et Boundary Scan

Plan :

- * La nécessité du test électrique.
 - Test électrique dans les années 80 : ICT versus Fonctionnel.
- * L'émergence du boundary scan :
 - Historique (EJTAG puis JTAG)
 - La version 1149.1 normalisée ex
 - Modification 2001.
- * L'architecture boundary scan (norme IEEE 1149.1):
 - Le principe : tap (test access port) , instruction register et data register
 - Les différentes cellules (BC1, BC2, BC3, BC4, etc.).
 - La machine à état.
 - Les registres (instruction et data).
 - Les instructions (Exttest, Intest, Bypass, etc..).
- * Le langage de description bsd (Boundary scan Description Language) :
 - Rôle du bsd.
 - La structure du langage.
 - Syntaxe et normalisation.
 - Exemple sur un composant (Xilinx, Altera ou Power PC).
- * Utilisation d'un composant boundary scan:
 - Règles de design (chainage composants, signaux sensibles).
 - La version 1149.1 normalisée ex
 - Les « compliant pattern » (très important).
 - Les cas particuliers (« faux » composants jtag).
 - Les tests en « cluster » (composants non boundary scan).
- * Les outils de test boundary scan:
 - Les fichiers d'entrées (netlist, bsd).
 - Description des composants non boundary scan
 - Travaux pratiques avec le logiciel « TH-JTAG » (Thalès).
 - Test ram
 - Test eeprom
 - Test afficheur
 - Ect...