



# Électronique

## Semester 5 -

MODULE	UV	TITLE	PARTICIPANTS	ECTS	
	<b>E5-C</b>	<b>Digital electronics/Informatic</b>		<b>9.00</b>	
EN102		Combinational logic and sequential logic	C. JEGO (resp) G. BERHAULT A. CURUTCHET D. DALLET A. HAROUN C. JEGO (resp) V. LEBRET G. MORIZET	2.50	page 0
EN103		Digital system design project	G. BERHAULT A. CURUTCHET D. DALLET A. HAROUN C. JEGO (resp) V. LEBRET G. MORIZET	1.50	page 0
IF109		Algorithms and Data Structures	C. TRAVERS (resp)	2.00	page 0
PG108		Unix - C language	J. BIENVENU B. LE GAL F. MORANDAT (resp)	3.00	page 0

# EN102 : Combinational logic and sequential logic

## Shared by UV(s) :

E5-C Digital electronics/Informatic

page 0

## ECTS credits :

2.50

## Evaluation :

S1: ET(2h,E,sd,sc) x1

## Number of hours :

Lecture :	6.33
Tutorial classes :	24.00
Individual work :	20.00

## Teacher(s) :

BERHAULT Guillaume  
CURUTCHET Arnaud  
DALLET Dominique  
HAROUN Ali  
JEGO Christophe  
LEBRET Valery  
MORIZET Guy

## Title :

Combinational logic and sequential logic

## Abstract :

Knowledges:

- the elementary combinational and sequential function used in the digital circuits;
- the description of digital systems with a hardware description language such as VHDL.

Being able :

- to specify a combinational logic and to synthesis the resulting digital circuit;
- to specify and synthesize a counter, a finite state machine;
- to evaluate the critical path of a complex logic function and to compute its maximal frequency.

## Plan :

The five lectures are given by Christophe JEGO

### \* Part A - COMBINATIONAL LOGIC

-Lecture 1 : Numeral systems,  
Binary arithmetic,  
basic logic functions,  
Boolean algebra,  
and logic function representation

- Lecture 2 : simplification of logic equations and combinational circuit

### \* Part B - SEQUENTIAL LOGIC

- Lecture 3 : basic elements (D latch, D Flip-Flop, registers)

- Lecture 4 : Counters ( asynchronous counters, synchronous counters, synchronous circuits)
- Lecture 5 : Complex sequential functions (memory, Finite State Machine and FSM synthesizer)

Six laboratories are also proposed to complete the lectures. Each laboratory is splitting in two parts. During the first part, a topic is studied.

Then, designed digital systems are specified with the VHDL hardware description language. It enables to gradually introduce this language.

The topic of each laboratory is:

- Laboratory 1 : truth table, Karnaugh map and logic gates
- Laboratory 2 : adder, subtractor and multiplier
- Laboratory 3 : D latch, Flip-Flop and registers
- Laboratory 4 : the synthesis of synchronous counter
- Laboratory 5 : the synthesis of variable modulo counter
- Laboratory 6 : the synthesis of finite state machine

**Prerequisite :**

Nil

**Document(s) :**

Lecture notes

**Keyword(s) :**

Boolean algebra, combinational logic, elementary logic gate, sequential logic, FlipFlop, registers, finite state machine, VHDL language

# EN103 : Digital system design project

## Shared by UV(s) :

E5-C Digital electronics/Informatique

page 0

## ECTS credits :

1.50

## Evaluation :

S1: Proj(Rap) x1

## Number of hours :

Tutorial classes : 16.00

Individual work : 16.00

## Teacher(s) :

BERHAULT Guillaume

CURUTCHET Arnaud

DALLET Dominique

HAROUN Ali

JEGO Christophe

LEBRET Valery

MORIZET Guy

## Title :

Digital system design project

## Abstract :

Le projet numérique consiste à concevoir la partie numérique d'un système séquentiel qui sera implanté sur une carte électronique déjà existante.

Le thème de ce projet est de déterminer le jour de la semaine (lundi au dimanche) correspondant à une date quelconque entre le 1 janvier 1950 et le 31 décembre 1999.

Pour ce faire, une carte électronique construite autour d'un circuit FPGA est utilisée. Trois boutons poussoirs (Bouton\_défilement, Bouton\_choix et Bouton\_validation) servent à entrer la date désirée.

Par ailleurs, quatre afficheurs 7 segments sont utilisés pour afficher la date retenue. Le bouton de défilement permet entre autres choses d'afficher soit le couple jour/mois soit l'année de la date.

Enfin, sept des huit LEDs de la carte sont associées au jour de la semaine. Ainsi, lorsque qu'une date est disponible, seule la LED qui correspond au bon jour de la semaine est activée. Si la date disponible est incorrecte, l'ensemble des LEDs clignote.

Ce projet vise ainsi deux objectifs : être capable de définir l'architecture (découpage fonctionnel) du système à partir de son cahier des charges et ensuite de le décrire (langage VHDL, représentation schématique). Ce travail fait référence au cours présenté lors des premières séances. L'autre objectif est la mise en oeuvre du projet : simulation, synthèse VHDL et implémentation du design dans un circuit configurable FPGA à partir d'une chaîne d'outils logicielle (ISE). Le projet s'achève par la validation du fonctionnement du circuit par prototypage sur carte.

## Plan :

Project is composed of four sessions lasting four hours. The progress of the project is as follows

\* Session 1 : Description of the different parts of the design

\* Session 2 : VHDL description of the different blocks

\* Session 3 : VHDL description of the different blocks

\* Session 4 : Design of the top level, synthesize, implementation and prototyping

## Prerequisite :

EN 102 module

**Document(s) :**

Project statement

**Keyword(s) :**

Lab, logical synthesys, functional simulation

# IF109 : Algorithms and Data Structures

## Shared by UV(s) :

E5-C Digital electronics/Informatic

page 0

## ECTS credits :

2.00

## Evaluation :

S1: ET(2h,E) x1

## Number of hours :

Lecture :	10.66
Tutorial classes :	13.33
Individual work :	18.00

## Teacher(s) :

TRAVERS Corentin

## Title :

Algorithms and Data Structures

## Abstract :

Introduction to algorithmics and abstract data types

## Plan :

- Langage de Description Algorithmique.
- Calcul de la complexité.
- Types abstraits de données
- Vecteurs ; Tris
- Piles et files
- Exemple d'utilisation : évaluation d'expressions mathématiques
- Listes (itératives et récursives)
- Arbres binaires
- parcours
- arbres binaires de recherche
- arbres maximiers; tas; tri par tas
- arbres généraux
- quelques notions, en particulier sur les arbres B et les arbres

bicolores

## Prerequisite :

none

# PG108 : Unix - C language

**Shared by UV(s) :**

E5-C Digital electronics/Informatic

page 0

**ECTS credits :**

3.00

**Evaluation :**

S1: ET(2h,E,sc) x1

**Number of hours :**

Lecture :	10.66
Tutorial classes :	30.00
Individual work :	16.00

**Teacher(s) :**

BIENVENU Jean Luc  
LE GAL Bertrand  
MORANDAT Floréal

**Title :**

Unix - C language